

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-282965

(43)Date of publication of application : 18.11.1988

(51)Int.Cl.

G11B 20/10
H03H 17/02
H03M 1/12

(21)Application number : 62-116949

(71)Applicant : HITACHI LTD
HITACHI VIDEO ENG CO LTD

(22)Date of filing : 15.05.1987

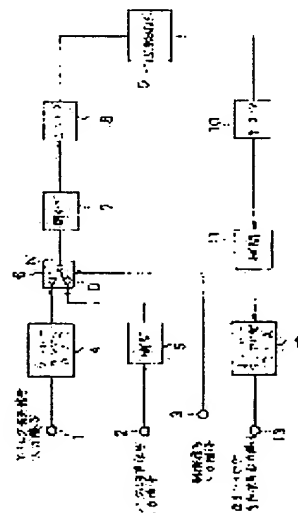
(72)Inventor : KANIWA KOUJI
TSUNOKA AKITOSHI
ITO SHIGEYUKI
FUJITA KOJI
WATAYA YOSHIKUMI

(54) DIGITAL AUDIO RECORDER

(57)Abstract:

PURPOSE: To reduce a calculating amt. for a LPF and to miniaturize a system for the titled recorder by changing a sampling frequency of an over-sample type A/D converter into an ultra high frequency by means of an interpolation circuit.

CONSTITUTION: Digital sound data of a sampling frequency 44.1kHz and a quantize bit number 16 bits are fed from a terminal 2 to the interpolation circuit 5 to be converted into data of a sampling frequency 184fH and a quantize bit number 8 bits. A switch circuit 6 being inputted with dubbing data converted in frequency by the circuit 5 is closed on the side of a terminal D at the recording time of digital dubbing in accordance with a mode control signal supplied via a terminal 3. The dubbing data of 184fH (approximately 2.9MHz) supplied via the circuit 6 are successively inputted into a thinned-out circuit 7 and processed in the same way as in the case of inputting an analog signal and then recorded on a recording medium 9 via an encoder 8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-31875

(24) (44) 公告日 平成7年(1995)4月10日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/10	3 0 1 Z	9463-5D		
H 0 3 H 17/02	A	8842-5J		
H 0 3 M 1/12	B			

発明の数2 (全 16 頁)

(21) 出願番号	特願昭62-116949	(71) 出願人	999999999 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
(22) 出願日	昭和62年(1987)5月15日	(71) 出願人	999999999 株式会社日立画像情報システム 神奈川県横浜市戸塚区吉田町292番地
(65) 公開番号	特開昭63-282965	(72) 発明者	鹿庭 耕治 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所家電研究所内
(43) 公開日	昭和63年(1988)11月18日	(72) 発明者	角鹿 明俊 神奈川県横浜市戸塚区吉田町292番地 日 立ビデオエンジニアリング株式会社内
		(74) 代理人	弁理士 並木 昭夫
		審査官	小松 正

最終頁に続く

(54) 【発明の名称】 デジタルオーディオレコーダ

【特許請求の範囲】

【請求項1】或る周波数帯域のアナログ音声信号を入力されてA/D変換するとき、変換後のデジタル信号からもとのアナログ信号を復元するのに最低限必要なサンプリング周波数、即ち前記アナログ音声信号の周波数帯域の2倍の周波数に比べ、充分高いサンプリング周波数で前記入力アナログ音声信号をサンプリングしてデジタル信号に変換するオーバーサンプル型A/D変換器と、前記オーバーサンプル型A/D変換器からのデジタル信号を入力されそのサンプリング周波数を前記アナログ音声信号の周波数帯域の2倍から3倍の範囲内にある周波数に低減して出力する間引き回路と、を記録系にもち、該間引き回路からの出力信号を記録媒体にデジタル記録するようにすると共に、デジタル音声信号入力端子と、該入力端子から入力さ

れたデジタル音声信号を入力されそのサンプリング周波数を前記オーバーサンプル型A/D変換器におけるサンプリング周波数にまで変換して出力する補間回路と、前記オーバーサンプル型A/D変換器から前記間引き回路に至る信号路の途中に位置し、前記オーバーサンプル型A/D変換器の出力か前記補間回路の出力の何れか一方を選択して前記間引き回路に供給するスイッチ回路とを具備し、前記間引き回路および前記補間回路の周波数伝達関数 $H(f)$ を下記の式に設定したことを特徴とするデジタルオーディオレコーダ。

記

$$H(f) = [(1/N) \cdot \{\sin(N \cdot \pi f / f_s) / \sin(\pi f / f_s)\}]^m$$

ここで、

f: 周波数

f_s: サンプリング周波数 (回路動作周波数)

N: 間引き回路あるいは補間回路におけるサンプリング周波数の変換比であり、 $N \geq 2$ の整数

m: 正の整数

【請求項 2】 或る周波数帯域のアナログ音声信号を入力されて A/D 変換するとき、変換後のデジタル信号からもとのアナログ信号を復元するのに最低限必要なサンプリング周波数、即ち前記アナログ音声信号の周波数帯域の 2 倍の周波数に比べ、充分高いサンプリング周波数で前記入力アナログ音声信号をサンプリングしてデジタル信号に変換するオーバーサンプル型 A/D 変換器と、前記オーバーサンプル型 A/D 変換器からのデジタル信号を入力されそのサンプリング周波数を前記アナログ音声信号の周波数帯域の 2 倍から 3 倍の範囲内にある周波数に低減して出力する間引き回路と、を記録系にもち、該間引き回路からの出力信号を記録媒体にデジタル記録するようにすると共に、前記記録媒体からの再生デジタル信号を入力されそのサンプリング周波数を前記オーバーサンプル型 A/D 変換器のそれと同じサンプリング周波数にまで変換して出力する補間回路と、前記オーバーサンプル型 A/D 変換器のサンプリング周波数と同じサンプリング周波数をもち、前記補間回路からの出力を入力されて該サンプリング周波数でサンプリングしアナログ信号に変換するオーバーサンプル型 D/A 変換器と、を再生系にもち、前記オーバーサンプル型 D/A 変換器から再生アナログ音声信号を出力するようにすると共に、デジタル音声信号入力端子と、前記記録媒体からの再生デジタル信号を前記補間回路に入力する信号路の途中に位置し、前記記録媒体からの再生デジタル信号が前記デジタル音声信号入力端子から入力されたデジタル音声信号の何れか一方を選択して前記補間回路に供給する第 1 のスイッチ回路と、前記オーバーサンプル型 A/D 変換器から前記間引き回路に至る信号路の途中に位置し、前記オーバーサンプル型 A/D 変換器の出力が前記補間回路の出力の何れか一方を選択して前記間引き回路に供給する第 2 のスイッチ回路とを具備し、前記間引き回路および前記補間回路の周波数伝達関数 $H(f)$ を下記のとおり設定したことを特徴とするデジタルオーディオレコーダ。

記

$$H(f) = \left\{ \left(\frac{1}{N} \right) \cdot \left\{ \frac{\sin(N \cdot \pi f / f_s)}{\sin(\pi f / f_s)} \right\} \right\} m$$

ここで、

f: 周波数

f_s : サンプリング周波数 (回路動作周波数)

N: 間引き回路あるいは補間回路におけるサンプリング周波数の変換比であり、 $N \geq 2$ の整数

m: 正の整数

【発明の詳細な説明】

【産業上の利用分野】

本発明は、音声信号を記録媒体にデジタル記録し、或いは再生することのできるオーディオレコーダに係り、更に詳しくはディジタル形式を採る音声信号はそのまま記録媒体にディジタルダビングすることのできる手段を備えたディジタルオーディオレコーダに関する。

〔従来の技術〕

最近の家庭用 AV (Audio Visual) 機器は、高集積回路化の技術と、ディジタル信号処理技術の発達により、小型・軽量・高画質・高音質化がはかられている。なかでもオーディオ機器においてはコンパクトディスクプレーヤ (CD プレーヤ) をはじめとして、高音質音声再生可能なディジタルオーディオ機器が普及しつつある。

このような状況の中、家庭用 VTR (Video Tape Recorder) においても、特開昭 54-125014 号公報に記載されているように映像信号記録トラックの延長上に、PCM 信号に変換された時間軸圧縮音声信号を記録する方式が実用化されている。

ところで、一般にオーディオレコーダにおいては、ディジタル信号処理方式の普及にともない、音質劣化の少ないディジタルダビング (音声信号をディジタル信号の状態にダビングを行う方式) の要求が高まっている。ディジタルダビングをする上で最も問題となることからは、ダビングする側のシステムのサンプリング周波数とダビングされる側の入力音声信号のサンプリング周波数が異なった場合に、この入力信号のサンプリング周波数を、ダビングするシステムのサンプリング周波数に変換してやる必要があることである。上記のような場合のサンプリング周波数の変換に関しては、1981 年 3 月 IEEE 発行の "Proceedings of the IEEE" の 300 頁～331 頁「Interpolation and Decimation of Digital Signals A Tutorial Review」に詳しく述べられている。

以下、上記のサンプリング周波数の変換方式について、サンプリング周波数 f_{S1} のデータをサンプリング周波数 $M/N f_{S1}$ (M, N は自然数) のデータに変換する場合を例にとり簡単に説明する。

まず、サンプリング周波数 f_{S1} のデータは、各サンプル間に $(M-1)$ 個のゼロ値サンプルがそれぞれ挿入されて、サンプリング周波数を M 倍、即ち $M f_{S1}$ とされる。サンプリング周波数を $M f_{S1}$ とされたデータは、急峻な特性を有する低域通過濾波器 (LPF) に通すことにより、高域周波数成分が除去される。この LPF により、低域成分だけとなったデータは N 個のサンプル毎に 1 個のデータが取り出され、 M/N にサンプリング周波数変換されたデータとして出力される。

〔発明が解決しようとする問題点〕

しかしながら、上記従来技術のサンプリング周波数変換方式を用いたディジタルダビングでは、サンプリング周波数 f_{S1} のデータをサンプリング周波数 $M/N f_{S1}$ に変換する過程で、周波数が M 倍の f_{S1} で動作する LPF が必要となる。従って、周波数変換後のサンプリング周波数を f_{S2}

とすると、上記の周波数 Mf_{S1} は、周波数変換前のサンプリング周波数 f_{S1} と周波数変換後のサンプリング周波数 f_{S2} との最小公倍数となり、変換前周波数 f_{S1} と変換後周波数 f_{S2} が簡単な整数比となっていない場合には、上記LPFの動作周波数が非常に高くなり、従って、演算量の増大、回路規模の大型化、消費電力の増加、そして、システムの高価格化をもたらすという欠点があった。

そこで本発明の目的は、演算量が少なく、小規模回路、低価格であるデジタルダビングが可能な手段を備えたデジタルオーディオレコーダを提供することにある。

〔問題点を解決するための手段〕

上記目的を達成するために本発明では、記録系を、オーバーサンプル型のADコンバータ（アナログ・デジタル変換器、A/D変換器と記すこともある）と、デジタルダビングを受ける側のデジタル入力データのサンプリング周波数を上記ADコンバータのサンプリング周波数にまで高めるデータ補間回路と、上記ADコンバータの出力データ及び上記データ補間回路の出力データの何れかを選択して出力する第1のスイッチ回路と、該スイッチ回路の出力データのサンプリング周波数を伝送時（記録時）のサンプリング周波数にまで低減するデータ間引き回路とで構成し、再生系を、伝送時のサンプリング周波数を上記ADコンバータにおけるサンプリング周波数と等しい周波数にまで高めるデータ補間回路と、該データ補間回路の出力データが入力されているオーバーサンプル型ADコンバータにより構成している。

また、あるいは、上記のダビングを受けるデジタル入力データのサンプリング周波数を高めるデータ補間回路を、新たに第2のスイッチ回路を設けることで、上記再生系のデータ補間回路で兼用する構成としている。

さらにオーバーサンプル型AD、DA変換器とデジタルダビングシステムに用いられる間引き回路と補間回路の回路構成を、そこに設定される周波数伝達関数を同じにすることにより、すべて同様の構成とした。

〔作用〕

上記オーバーサンプル型のADコンバータは、通常のオーディオ用ADコンバータが音声帯域の20KHz程度までを確保するためにその2倍の40KHz程度でサンプリング（標本化）を行なうのに対し、それをはるかに上回る2MHz～3MHzの標本化周波数でサンプリングを行なう。

これにより、ADコンバータの前段に設けられて、該コンバータに入力する入力信号に含まれる標本化周波数の1/2以上の周波数成分を遮断して折り返し雑音の発生を防ぐLPFとしては、通常のADコンバータの場合は高次の急峻な特性を有するLPFが必要であるのに対し、低次のLPFを用いることで折り返し雑音を防ぐことができる。また、音声信号のダイナミックレンジを90dB以上確保するためには量子化ビット数が15～16ビット必要となるが、オーバーサンプル型のADコンバータを用いれば、サンプリング周波数を所望のサンプリング周波数である40KHz

程度まで低減する過程で、複数のサンプルデータの平均化処理をすることにより、ADコンバータとしては8ビット程度の量子化ビット数で15～16ビット量子化の精度を得ることができる。

なおオーバーサンプル型ADコンバータの詳細については、例えば1980年12月IEEE発行の“IEEE Journal of Solid-State Circuits, Vol. SC-15, No. 6”の1014頁～1021頁を参照されたい。

また、上記のダビング入力データのサンプリング周波数を高めるデータ補間回路は、ダビング入力データのサンプリング周波数を上記のオーバーサンプル型ADコンバータにおけるサンプリング周波数と同様な周波数に変換するものであるから、それ以後の信号処理をすべて、上記オーバーサンプル型ADコンバータの出力データと同様に処理することができ、デジタルダビング用の新たなデータ間引き回路等が不要となる。

そして上記第1のスイッチ回路は、上記オーバーサンプル型ADコンバータの出力データとサンプリング周波数の変換されたダビング入力データを切り換えて次段のデータ間引き回路へ供給することにより、通常のアナログ音声のデジタル記録と、デジタルダビングの記録とを切り換えている。

上記のデータ間引き回路は、サンプリング周波数が2MHz～3MHzであるデータを伝送時のサンプリング周波数（40KHz程度）にまで低減するとともに、複数データの平均化処理を行なうことにより8ビット量子化のデータを15～16ビット量子化精度まで向上している。

一方、再生系を構成しているデータ補間回路は、上記のデータ間引き回路で伝送時のサンプリング周波数（40KHz程度）に低減されたデータをオーバーサンプル型DAコンバータにおける動作サンプリング周波数にまで高める働きをしている。そして、オーバーサンプル型ADコンバータは、2MHz～3MHzという高いサンプリング周波数でデジタルデータをアナログ信号に変換するので、サンプリングにより生じた折り返し雑音を、必要な音声帯域に比べ充分高い周波数帯域に持って行ける。従って、DAコンバータの次段に設けられ、標本化（サンプリング）によって発生する不要な周波数成分の除去に用いられるLPFは、低次のLPFで対応可能となり、小型化がはかれる。また、上記の第2のスイッチを設けて、ダビング入力データを、上記再生系のデータ補間回路に供給し、サンプリング周波数の変換を行えば、ダビングデータ専用の補間回路が不要となり、回路規模を最小限におさえ一層の小型化が達成できる。

〔実施例〕

以下、本発明の実施例を図面を用いて説明する。第1図は本発明の一実施例としてのデジタルダビング可能な手段を備えたデジタルオーディオレコーダを示すブロック図である。

第1図においては、1はアナログ音声信号の入力端子、

2はデジタル音声信号の入力端子、3は制御信号の入力端子、4はオーバーサンプル型アナログ・デジタル変換回路（以下、オーバーサンプルA/Dと記す。）、5は補間回路、6はスイッチ、7は間引き回路、8はエンコーダ、9は記録媒体、10はデコーダ、11は補間回路、12はオーバーサンプル型デジタル・アナログ変換回路（以下、オーバーサンプルD/Aと記す。）、そして、13は再生アナログ音声信号の出力端子である。

尚、本実施例では説明を容易とするために、オーバーサンプルA/Dにおけるサンプリング周波数を $184f_H$ （約2.9MHz）とし、媒体への記録再生時のサンプリング周波数を $2f_H$ （約31.5KHz）として説明する。なお、 f_H は映像信号における水平同期信号周波数15.734KHzである。

まず最初に、第1図において、アナログ音声信号が入力されこれをデジタル記録する場合、即ち通常の記録再生動作を説明した後に、デジタル音声信号を入力されこれをそのままデジタルダビングする時の動作について説明する。

第1図において、入力端子1より入力されたアナログ音声信号は、オーバーサンプルA/D4に入力され、サンプリング周波数が約2.9MHz（正確には184倍の f_H ）、そして量子化ビット数が8ビットのデジタル信号に変換される。

上記の如く変換されたデジタル音声信号は、破線位置（N側）にあるスイッチ6を介して、間引き回路7へ供給される。なお、上記スイッチ6は、アナログ音声信号をデジタル記録する通常モードでは、入力端子3より入力されるモード制御信号により、N端子側に閉じられており、オーバーサンプルA/D4の出力を間引き回路7へ供給するようになっている。

間引き回路7は入力信号のサンプリング周波数を $184f_H$ から $8f_H$ にまで下げる働きをするものであり、その過程で複数の8ビットデータの平均化処理により、ビット精度を向上し16ビットの量子化精度にする。

上記間引き回路7により、サンプリング周波数を $8f_H$ （125.872KHz）に低減された16ビット精度のデジタル音声データはエンコーダ8へ供給される。そしてエンコーダ8において、該デジタル音声データは、サンプリング周波数が $2f_H$ 、量子化ビット数が8ビットとされた後、記録媒体9へデジタル記録される。

次に再生系について説明する。第1図において、記録媒体9より再生されたサンプリング周波数 $2f_H$ 、量子化ビット数8ビットの再生データはデコーダ10へ供給され、そこで記録系のエンコーダ8と逆の処理、即ち、ダイナミックレンジの伸張及びサンプリング周波数の $8f_H$ 化が行なわれる。

デコーダ10からのサンプリング周波数 $8f_H$ 、量子化ビット数16ビットの再生データは、データ補間回路11により $184f_H$ （約2.9MHz）のサンプリング周波数データに変換されオーバーサンプルD/A12へ供給される。そしてオーバ

ーサンプルD/A12により $184f_H$ の周波数でサンプルホールドされアナログ信号に変換された後、出力端子13より出力される。

以上で通常の記録再生時の動作説明を一応終え、次にデジタル入力音声信号をデジタル形式のままデジタルダビングで記録する場合について説明する。尚、本実施例では、デジタルダビング時の入力データのサンプリング周波数は、現在デジタルオーディオ機器において最も普及している44.1KHzとする。

第1図において、入力端子2より入力されたサンプリング周波数44.1KHz、量子化ビット数16ビットのデジタル音声データは、補間回路5に供給され、サンプリング周波数 $184f_H$ 、量子化ビット数8ビットのデータに変換される。

このようにして補間回路5において、周波数変換されたダビングデータが入力されているスイッチ回路6は、入力端子3を介して供給されるモード制御信号に従いデジタルダビング記録時はD入力端子側（実線位置）に閉じている。

上記スイッチ回路6を介して供給されるサンプリング周波数が $184f_H$ のダビングデータは引き続き間引き回路7へ入力され、以下先に説明したアナログ音声信号が入力された場合と同様の信号処理がほどこされた後、記録媒体9へ記録される。

以上説明したように本実施例によればADコンバータの前段あるいはDAコンバータの次段に設ける折り返し雑音防止用のアナログLPFが低次の簡単な構成のものでよく、また、デジタルダビング機能には不可欠なサンプリング周波数の変換回路を構成する間引き回路を新たに設ける必要がないので回路の小型化が実現できシステムの低価格化がはかれる。

しかも、オーバーサンプリング方式を採用しているので、ダビング入力データのサンプリング周波数変換に際して、データ数に過不足が生じて、これによる音質劣化を聴感上問題のないレベルまで抑圧することができる。

第2図は第1図におけるオーバーサンプル型A/D変換器4の詳細を示す回路図である。

第2図において、1はアナログ音声信号の入力端子、103はサンプリング周波数が $184f_H$ 、量子化ビット数が8ビットのデジタル音声データの出力端子、104はサンプリング用の $184f_H$ クロックの入力端子、105はアナログの減算回路、106はアナログの積分回路、107はコンパレータ、108は基準電圧源、109はデジタル積分器、110は局部DAコンバータである。このオーバーサンプルA/D4はデルタシグマ（ $\Delta-\Sigma$ ）変調方式のADコンバータである。

以下信号の流れを説明する。入力端子1より入力されたアナログ音声信号は、減算回路105により直前のAD変換データを局部DAコンバータ110にてDA変換したアナログ

信号が差し引かれる。この差信号はアナログ積分回路106にて平滑、直流化されてコンパレータ107へ供給される。

上記コンパレータ107は、アナログ積分回路106の出力レベルと基準電圧108とを比較し、そしてアナログ積分回路106の出力レベルが高い場合は“ハイ”を低い場合は“ロウ”をデジタル積分回路109へ出力する。

デジタル積分回路109は例えば第3図に示すように、8ビットのデジタル加算器112と8ビットのラッチ回路113で構成されている。第3図に示すデジタル積分器109では、デジタル加算器112において入力端子111より供給されるコンパレータ107の出力が“ハイ”の場合は“+1”を、“ロウ”の場合は“-1”をラッチ回路113の8ビット出力データに加算する。そして、加算回路112の8ビット出力データは、上記ラッチ回路113へ供給すると共に、出力端子103より第1図に示したスイッチ回路6のN入力端子に供給される。

上記のデジタル加算器112、ラッチ回路113及び局部DAコンバータ110は第2図及び第3図に示した入力端子104より供給される周波数が184f_Hのクロックで動作し、従

って上記オーバーサンプルA/D4はサンプリング周波数184f_H、量子化ビット数8ビットのAD変換データが得られる。

第4図は第1図における間引き回路7の具体例を示す回路図である。

第4図に示した間引き回路7は、同図の16に示す非巡回型デジタルフィルタを3個直列に接続した構成となっている。1個の非巡回型デジタルフィルタ16は、遅延時間τ₀が1/184f_H（オーバーサンプルA/D4におけるサンプリング周期）である22個の遅延回路17-1~17-22と、各遅延回路の出力及び初段の遅延回路17-1の入力を加算する加算回路18により構成されている。上記加算回路18の出力は係数回路19により1/23にされ、次段の同一構成の非巡回型デジタルフィルタへ供給される。

従って、第4図に示した間引き回路7では、入力端子14より入力されるサンプリング周波数が184f_Hのデジタル音声信号を、23データずつ平均化処理することになる。この平均化処理型間引き回路の周波数伝達関数H(f)は

$$H(f) = \left[\frac{1}{23} \cdot \frac{\sin(23 \cdot \pi f / f_s)}{\sin(\pi f / f_s)} \right]^3$$

(ただし $f_s = 184 f_H = 1 / \tau_0$ である。)

... (1)

となり、この特性は第6図に示すものとなる。

従って第4図に示した間引き回路7の出力端子15より出力される平均化データを23個のデータに対して1データの割合で取り出していけば184f_Hサンプリング、8ビットのデータを8f_Hサンプリング、16ビットのデータとして得ることができる。なお、上記の間引きにより、サンプリング周波数が低下し、折り返し雑音を生じるが、本実施例の必要音声帯域である15KHz帯域内に折り返ってきて問題となる成分は周波数帯域が8nf_H±15KHz（ただしnは自然数）の成分であり、この成分は第6図に示してあるように充分に減衰されており問題とならない。

尚、上記の第4図に示した間引き回路7では、必要音声帯域である15KHz以下の帯域でも少しだけ減衰される

$$H(f) = \frac{\sin(23 \cdot \pi f / f_s)}{\sin(\pi f / f_s)} \quad \dots (2)$$

であり、第4図に示した非巡回型デジタルフィルタ1段の特性に等しい。

第7図は第1図におけるエンコーダ8の具体例を示すブロック図である。エンコーダ8は第7図に示すように、デジタルロウパスフィルタ（以下D-LPFと記す。）33、間引き回路34及び36、そしてダイナミックレンジの圧縮回路34より構成されている。

が、この必要帯域内の減衰は、第1図に示した次段のエンコーダ8により補正している。

また本実施例では、間引き回路7を構成する非巡回型デジタルフィルタのタップ係数をすべて1としているので、第4図の1段の非巡回型デジタルフィルタ16は第5図の破線31で囲まれた巡回型デジタルフィルタを用いることができ、この場合は加算回路27を加算回路18に比べて大幅に簡化できる。

第5図に示した巡回型デジタルフィルタは遅延時間が23倍のτ₀（23/184f_H）とτ₀（1/184f_H）である2つの遅延回路26及び28と加算回路27とで構成されており、その伝達関数H(f)は

D-LPF33は例えば第8図に示すような2次の非巡回型デジタルフィルタを複数個直列に接続することにより、記録時の最終的なサンプリング周波数である2倍のf_H（31.468KHz）の場合に折り返し雑音が問題とならないように15KHz以上の信号成分を充分に減衰する特性としている。また、先の間引き回路7において減衰された15KHz以下の必要帯域内信号を補正する特性としてい

る。

第8図において、47は2次の巡回型デジタルフィルタを表わしており、38～42は係数回路、43及び44は加算回路、そして45、46は $1/8f_H$ の遅延時間を有する遅延回路である。尚第8図において48～51は、係数回路における係数値は異なるものの2次の巡回型デジタルフィルタ47と同一構成となっている。

上記D-LPF33により15KHz以上の周波数成分を十分に減衰されたサンプリング周波数が $8f_H$ のデジタルデータは間引き回路34へ供給される。間引き回路34では $8f_H$ の周波数で入力されるデータを1個おきに取り出すことにより、サンプリング周波数を $1/2$ 、即ち $4f_H$ とする。そして、サンプリング周波数が $4f_H$ となった16ビット量子化のデジタル音声データはダイナミックレンジの圧縮回路35へ供給される。

ダイナミックレンジの圧縮回路35は、例えば第9図に示すように、除算器54と、振幅検波回路55で構成されており、その動作は、入力信号を e_i とし、出力信号を e_o とすると

$$e_o = e_i / e_o \quad \cdots \cdots (3)$$

$$\text{即ち } e_o^2 = e_i \quad \cdots \cdots (4)$$

であり、両辺の対数を取ると

$$2 \log e_o = \log e_i \quad \cdots \cdots (5)$$

となる。

従って圧縮回路35の入出力特性は第12図の(1)に示すようになり、ダイナミックレンジを $1/2$ に圧縮することになる。このダイナミックレンジの圧縮により16ビット量子化の場合のダイナミックレンジ96dBは48dBに圧縮され、従って16ビット量子化のデータを8ビット量子化データに変換しても同等のダイナミックレンジを実現できる。これにより、第1図に示した記録媒体9、例えば磁気テープなどを用いた場合の記録に際しては8ビットデータで良く、記録情報量を少なくすることができ、記録時間の長時間化がはかれる。

上記のダイナミックレンジの圧縮回路35により8ビット量子化データとされたデジタル音声データは $4f_H$ の周波数で次段の間引き回路36へ供給される。間引き回路36では、 $4f_H$ の周波数で入力されるデータを1個おきに取り出すことにより、サンプリング周波数を $1/2$ 、即ち $2f_H$ とする。

なお、上記の間引き回路34及び36においてサンプリング周波数を $8f_H$ (125.9KHz) から $4f_H$ (62.9KHz) 及び $4f_H$ から $2f_H$ (31.5KHz) へと低減しているが、このサンプリング周波数の低減により折り返し雑音は、ずでに上記のD-

LPF33にて15KHz以上の周波数成分を十分に減衰しているため、ここでは問題とならない。

第10図は第1図におけるデコーダ10の詳細を示すブロック図である。該デコーダ10は、第10図に示すように、補間回路58及び60、ダイナミックレンジの伸張回路59、そしてD-LPF61により構成されている。

第10図において、入力端子57より入力された再生データ(サンプリング周波数 $2f_H$ 、量子化ビット数8ビット)は、補間回路58で各サンプル間に1個ずつデータが挿入(補間)される。この挿入データの値は、直前のサンプル値、あるいは前後のサンプルの平均値としている。この補間によりサンプリング周波数を $4f_H$ とされた再生データは、ダイナミックレンジの伸張回路59へ供給され、元のダイナミックレンジに伸張され、16ビット量子化データとされる。

なお、上記のダイナミックレンジの伸張回路59は、例えば第11図に示すように振幅検波回路64と乗算器65で構成されている。そしてその動作は、入力信号を e_i とし、出力信号を e_o とすると、

$$e_o = e_i^2 \quad \cdots \cdots (6)$$

となり、両辺の対数をとると

$$\log e_o = 2 \log e_i \quad \cdots \cdots (7)$$

となる。従って伸張回路59の入出力特性は第12図の

(2)に示すようになり、ダイナミックレンジを2倍に伸張することになる。

上記の伸張回路59によりダイナミックレンジを元にもどされた再生データは補間回路60において、補間回路58と同様の処理(前置補間あるいは平均値補間)が成され、サンプリング周波数を $4f_H$ から $8f_H$ に変換される。上記補間回路60より出力されたサンプリング周波数 $8f_H$ 、量子化ビット数16ビットの再生データはD-LPF61へ供給され、ここで、先の補間処理により生じた15KHz以上の周波数成分を十分に減衰される。

このD-LPF61は第7図のD-LPF33と同様に、第8図に示した2次の巡回型デジタルフィルタを複数個直列接続して構成している。

次に第1図における補間回路11は第4図に示したデータ間引き回路7と同様な構成で実現しておりデータ補間回路として働く場合は、第4図において、入力端子14からデコーダ10の出力データが $8f_H$ の周波数で供給され、それぞれ τ_o ($1/184f_H$) ずつ遅延したデータ23個を加算し、順次 $184f_H$ の周波数で出力端子15から出力される。この場合の上記補間回路11の周波数伝達関数 $H(f)$ は

$$H(f) = \left[\frac{1}{23} \cdot \frac{\sin(23\pi f / f_s)}{\sin(\pi f / f_s)} \right]^3$$

(ただし $f_s = 184 f_m = 2895.056 \text{ KHz}$)

... (8)

であり、先の間引き回路7と同様の特性(第6図に示した特性)となる。

従って、上記補間回路11は $8f_H$ の周波数で入力されるデータを $8nf_H \pm 15\text{KHz}$ 成分、即ち折り返し成分を除去し、15KHz以下の周波数成分だけを有するサンプリング周波数が $184f_H$ のデータに変換する。

第13図は第1図における補間回路5の具体例を示すブロック図である。第13図において、2はサンプリング周波数44.1KHzのダビング入力データの入力端子、68、69及び70はダビング入力データ同期した44.1KHz、220.5KHz($44.1\text{KHz} \times 5$)及び2866.5KHz($44.1\text{KHz} \times 65$)のクロック入力端子、71は周波数が $184f_H$ (2895.1KHz)のクロックの入力端子、72はサンプリング周波数変換ダビング入力データの出力端子、73はラッチ回路、74はD-LPF、75は補間回路、76はラッチ回路である。

第13図において、入力端子2より入力されたダビング入力データはラッチ回路73でラッチされ、D-LPF74へ供

給される。D-LPF74は、入力端子69より入力される220.5KHz($44.1\text{Hz} \times 5$)のクロックで動作し、ダビング入力データの周波数帯域を15KHz以下に制限する。上記D-LPF74の入力データ及び出力データの周波数成分を第14図の(1)及び(2)に示す。

尚、D-LPF74は例えば、先の第8図に示した巡回型デジタルフィルタの遅延回路45、46の遅延時間を $1/220.5\text{KHz}$ にすることで実現できる。

帯域制限されたダビング入力データは、補間回路75へ供給され、サンプリング周波数を2866.5KHz($44.1\text{Hz} \times 65$)に高められ、ラッチ回路76へ供給される。上記補間回路75は、先の第4図に示したデジタルフィルタにおいて、遅延回路の遅延時間を $1/2866.5\text{KHz}$ にし、1段の非巡回型デジタルフィルタのタップ数を13とし、そして係数回路の係数を $1/13$ とした構成となっている。

従って、この補間回路75の周波数伝達関数 $H(f)$ は

$$H(f) = \left[\frac{1}{13} \cdot \frac{\sin(13 \cdot \pi f / f_m)}{\sin(\pi f / f_m)} \right]^3$$

(ただし $f_m = 44.1 \text{ KHz} \times 65 = 2866.5 \text{ KHz}$ である.)

... (9)

となり、 $(5n \times 44.1 \pm 15) \text{ KHz}$ (n は12以下の自然数)の周波数成分を減衰する特性となる。

これにより、補間回路75の出力データは、D-LPF74の出力データから、 $(5n \times 44.1 \pm 15) \text{ KHz}$ の周波数成分を除去されたデータとなり、サンプリング周波数が2866.5KHzである第14図の(3)に示すような周波数成分を有するデータとなる。そして、この補間回路75の出力データはラッチ回路76で、周波数が $184f_H$ (2895.1KHz)のクロックによりラッチされ第1図に示すスイッチ回路6のD入力端子に供給される。

なお、上記ラッチ回路73においては、入力データの周波数とラッチクロック周波数が1%弱異なり、データ数の過不足を生じるが、これによる影響は、第1図に示した間引き回路7による平均化処理の過程で分散され問題となるレベル以下に抑圧される。

次に他の実施例について、第15図を用いて説明する。第15図は本発明の他の実施例としてのデジタルダビング可能な手段を備えたデジタルオーディオレコーダのブロック図である。なお、第15図において、第1図におけ

るのと同じ符号を付したブロックは第1図で説明した同一符号ブロックと同じ働きをするものである。

第15図に示した本実施例が、第1図に示した先の実施例と最も異なる点は、デジタルダビング時に、ダビング入力データのサンプリング周波数変換に用いる補間回路を、再生系のオーバーサンプルD/A用の補間回路で兼用するようにしたことである。以下、デジタルダビング時の動作について説明する。

第15図において、入力端子2より入力されたダビング入力データは、D-LPF74に入力され、先の第13図の所で述べたようにサンプリング周波数を44.1KHzから220.5KHz($44.1\text{KHz} \times 5$)に変換され、第14図の(2)に示す周波数成分を有するデータとされる。

このD-LPF74の出力データは、デジタルダビング時にはD入力端子側に閉じているスイッチ回路77を介して補間回路78へ供給される。補間回路78は、220.5KHzの周波数で供給されるダビングデータをサンプリング周波数が13倍の2866.5KHzに変換してラッチ回路76へ供給する。

上記補間回路78の具体的な動作を第16図を用いて説明する。第16図は、補間回路78の具体的構成例を示すブロック図である。

第16図において、79はダビングデータあるいは再生データの入力端子、80は再生時に用いる184f_Hのクロックの入力端子、81はダビング時に用いる2866.5KHz (44.1KHz×65) のクロックの入力端子、82はサンプリング周波数を変換されたデータの出力端子、83～85は巡回型デジタルフィルタ、86～88は遅延回路、89は加算回路、90～92はスイッチ回路、93、94は係数回路である。

なお上記の遅延回路86、87及び88の遅延時間は、各遅延回路に入力されるクロックの周期を基準とし、それぞれ13クロック周期、10クロック周期、及び1クロック周期としている。

また上記スイッチ回路90、91、及び92はすべて入力端子3を介して供給されるモード制御信号に従い、デジタル

ダビング時はD入力端子側に閉じられ、通常の記録再生時はN入力端子側へ閉じられる。

また上記係数回路93及び94の係数値はそれぞれ1/23及び1/13である。そして、図中には記していないが、巡回型デジタルフィルタ84及び85は、巡回型デジタルフィルタ83と同様の構成となっている。

第16図において、デジタルダビング時は上記のように各スイッチ回路90～92はD入力端子側に閉じられる。従って、遅延回路86及び88へは2866.5KHz (44.1KHz×65) のクロックが供給され、また、加算回路89へは遅延回路86の出力データが供給される。そして、スイッチ回路91は、1/13の値を有する係数回路94の出力データを次段の巡回型デジタルフィルタ84へと供給する。

従って、デジタルダビング時の第16図に示した補間回路78の周波数伝達関数H(f)は

$$H(f) = \left[\frac{1}{13} \cdot \frac{\sin(13 \cdot \pi f / f_m)}{\sin(\pi f / f_m)} \right]^3$$

(ただし $f_m = 44.1 \text{ KHz} \times 65 = 2866.5 \text{ KHz}$ である.)

… … (10)

となり、先の実施例における第13図に示した補間回路75の周波数伝達関数(前記式(9))と同様になる。

上記のようにサンプリング周波数を2866.5KHzに変換されたダビングデータは、第15図のラッチ回路76において184f_Hのクロックでラッチされ、スイッチ6のD入力端

子へ供給され、以下、先の実施例と同様の処理の後、記録媒体9に記録される。

なお、通常の再生時における第16図に示した補間回路78の動作は、スイッチ回路90～92がN入力端子側に閉じるので、その周波数伝達関数H(f)が

$$H(f) = \left[\frac{1}{23} \cdot \frac{\sin(23 \cdot \pi f / f_s)}{\sin(\pi f / f_s)} \right]^3$$

(ただし $f_s = 184 f_H = 2895.056 \text{ KHz}$)

… … (11)

となり、再生データのサンプリング周波数を8f_Hから184f_Hに変換する。

以上説明したように、本実施例によれば、ダビング入力データ用サンプリング周波数変換回路を構成する補間回路及び間引き回路を通常の記録再生時に用いる補間回路及び間引き回路と兼用できるので回路の小型、低価格化が実現できる。

なお、上記実施例においては、ダビング入力データのサンプリング周波数が、44.1KHzの場合について説明してきたが、ダビング入力データのサンプリング周波数としては、これ以外にも例えば衛星放送におけるPCM音声データの48KHzあるいは32KHzなど種々の周波数がある。

以下ダビング入力データのサンプリング周波数が44.1KHzだけでなく48KHzあるいは32KHzのように異なった場合のデジタルダビングについて説明する。尚、ダビング

入力データのサンプリング周波数はf_{SD}と記す。

まず、サンプリング周波数がf_{SD}であるダビング入力データを最終的に184f_Hサンプリング周波数に変換する場合、先に述べたように第13図に示したD-LPF14でサンプリング周波数を5倍に、そしてさらに補間回路78により13倍に、合計65倍のf_{SD}とする。

この場合、ダビング入力データ同期する5f_{SD}及び65f_{SD}のクロックが必要となる。上記5f_{SD}および65f_{SD}のクロックは第17図に示すような位相同期回路(PLL)により発生することができる。

第17図は、ダビング時に必要なクロックを発生するクロック発生回路のブロック図であり、81及び96は65f_{SD}及び5f_{SD}のクロックの出力端子、95はダビング入力データに同期した周波数がf_{SD}のクロックの入力端子である。

そして97は、位相検波回路98、LPF99、電圧制御発振器(V

C0) 100及び分周回路101より構成されるPLLであり、102は分周回路である。

尚、上記分周回路101及び102の分周率はそれぞれ1/56及び1/13である。

第17図のPLL97では、VC0100の出力信号を分周回路101で1/65に分周した信号が、入力端子95を介して供給されるダビング入力データに同期した f_{SP} のクロックに同期するので、上記VC0100の出力信号は、ダビング入力データに同期した $65f_{SP}$ のクロックとなる。また、上記 $65f_{SP}$ のクロックは分周回路102より1/13に分周され $5f_{SP}$ のクロックとされる。

上記の如く発生された $5f_{SP}$ のクロックは、第15図のD-LPF74に供給され、 $65f_{SP}$ のクロックは第15図の補間回路78に供給される。従ってD-LPF74ではダビング入力データのサンプリング周波数が f_{SP} から $5f_{SP}$ に変換され、また、さらに補間回路78ではサンプリング周波数が $5f_{SP}$ から $65f_{SP}$ に変換される。

なおこの場合にも $184f_H$ と $65f_{SP}$ 周波数が異なるので、第15図のラッチ回路76において、データ数の過不足が生じるが、音声帯域に比べ十分に高いサンプリング周波数で変換しているので間引き回路7により、上記影響のほとんどを音声帯域以外に持って行くことができ問題となるレベル以下に抑圧できる。

〔発明の効果〕

本発明によれば、デジタルダビング機能を実現する場合に、サンプリング周波数変換回路として、新たに大規模な間引き回路及び補間回路を設ける必要が無いので、システムを小型化、低価格化するのに効果がある。

またオーバーサンプル型AD、DA変換器とデジタルダビングシステムに用いられる間引き回路と補間回路の回路構成を、そこに設定される周波数伝達関数を同じにすることにより、すべて同様の構成としたので回路設計も容易になると共に、回路の兼用化が図れるという利点もある。

〔図面の簡単な説明〕

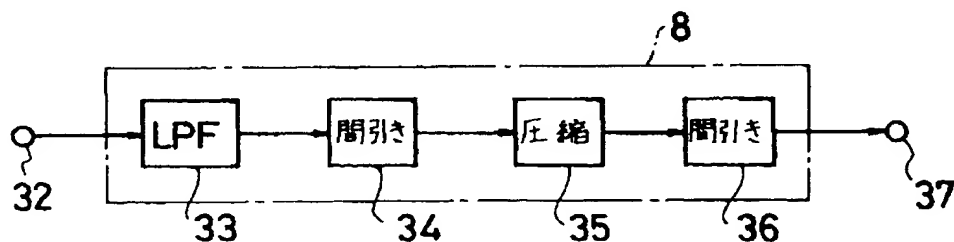
第1図は本発明の一実施例としてのデジタルオーディオレコーダを示すブロック図、第2図はオーバーサン

プル型ADコンバータの一構成例を示すブロック図、第3図はデジタル積分器の一構成例を示すブロック図、第4図及び第5図はそれぞれ間引き回路を構成するデジタルフィルタの一例を示すブロック図、第6図は上記間引き回路の周波数特性を示す特性図、第7図はエンコーダの一例を示すブロック図、第8図は巡回型デジタルロウパスフィルタの一例を示すブロック図、第9図はダイナミックレンジ圧縮回路の基本構成を示すブロック図、第10図はデコーダの一例を示すブロック図、第11図はダイナミックレンジの伸張回路の基本構成を示すブロック図、第12図はダイナミックレンジの圧縮特性及び伸張特性を示す特性図、第13図はデジタルダビング用補間回路の一例を示すブロック図、第14図は周波数特性を示す特性図、第15図は本発明の他の実施例を示すブロック図、第16図は補間回路の一例を示すブロック図、第17図はクロック発生回路の一例を示すブロック図、である。

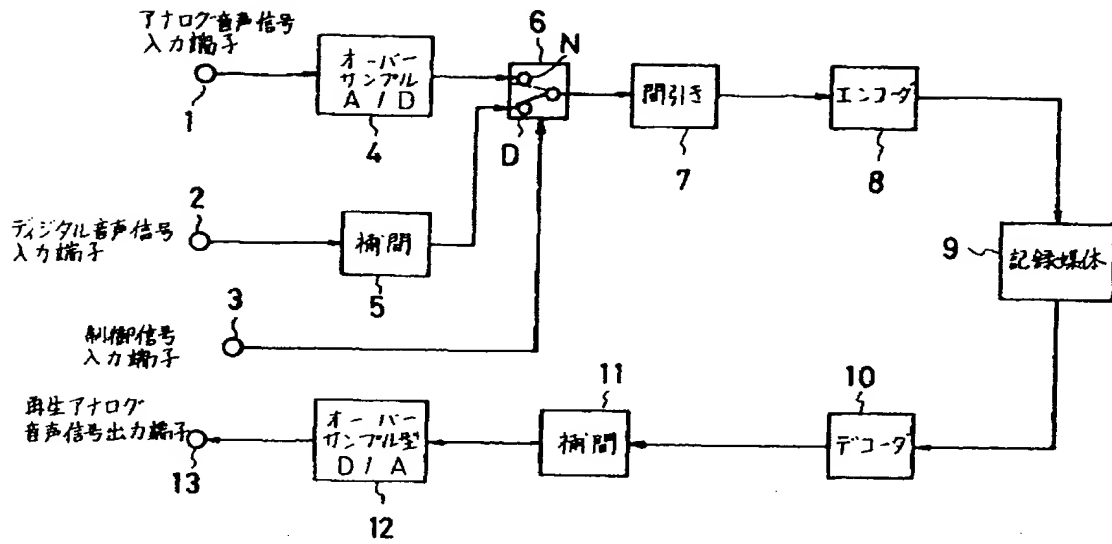
符号の説明

4……オーバーサンプル型AD変換器、5……補間回路、6……スイッチ、7……間引き回路、8……エンコーダ、9……デコーダ、11……補間回路、12……オーバーサンプル型DA変換器、17、20、23、26、28……遅延回路、18、21、24、27……加算回路、19、22、25、29……係数回路、16……非巡回型デジタルフィルタ、31、47～51……巡回型デジタルフィルタ、33……デジタルロウパスフィルタ、34、36……間引き回路、35……ダイナミックレンジ圧縮回路、54……除算器、55……振幅検波回路、58、60……補間回路、59……ダイナミックレンジの伸張回路、61……デジタルロウパスフィルタ、64……振幅検波回路、65……乗算器、74……デジタルロウパスフィルタ、75……補間回路、76……ラッチ回路、77……スイッチ回路、78……補間回路、83、84、85……巡回型デジタルフィルタ、86、87、88……遅延回路、89……加算回路、90、91、92……スイッチ回路、93、94……係数回路、97……位相同期回路、105……アナログ減算回路、106……アナログ積算回路、107……コンパレータ、109……デジタル積分器、110……局部DA変換器、112……加算器、113……ラッチ回路

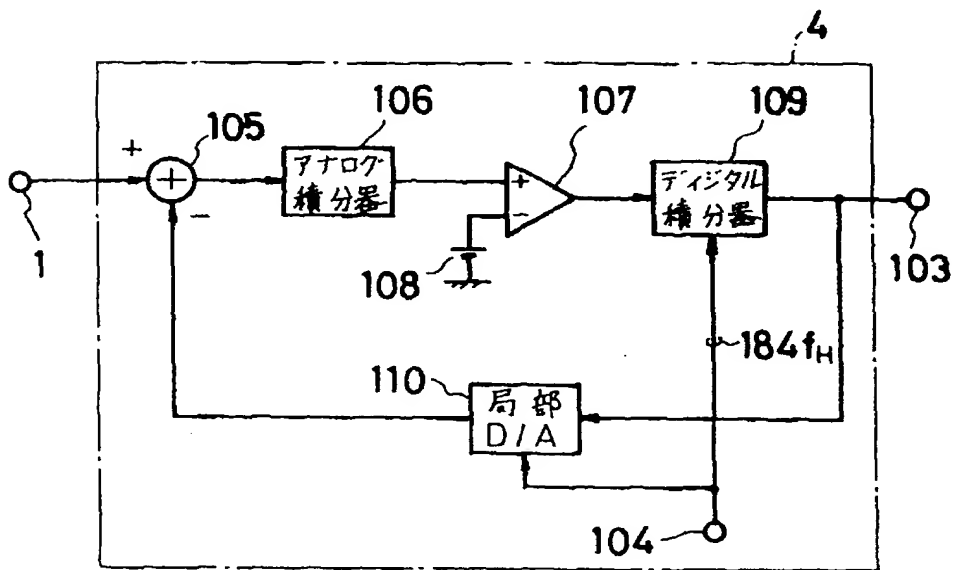
〔第7図〕



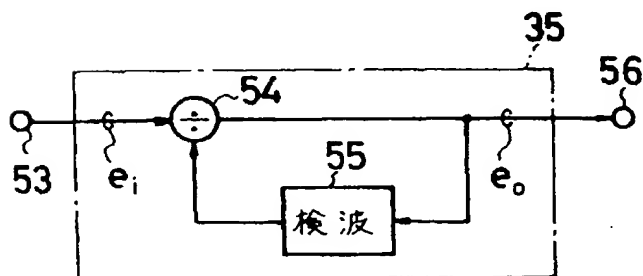
【第1図】



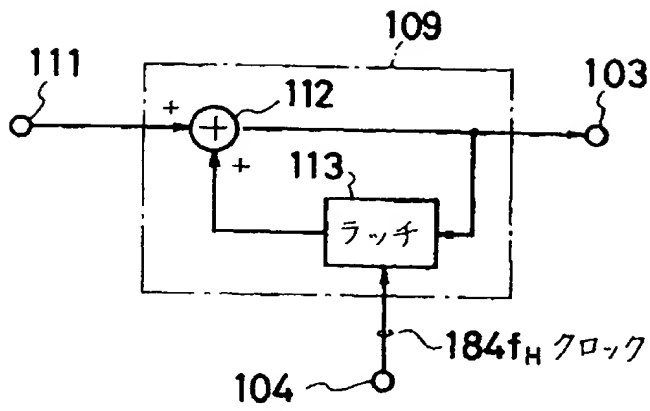
【第2図】



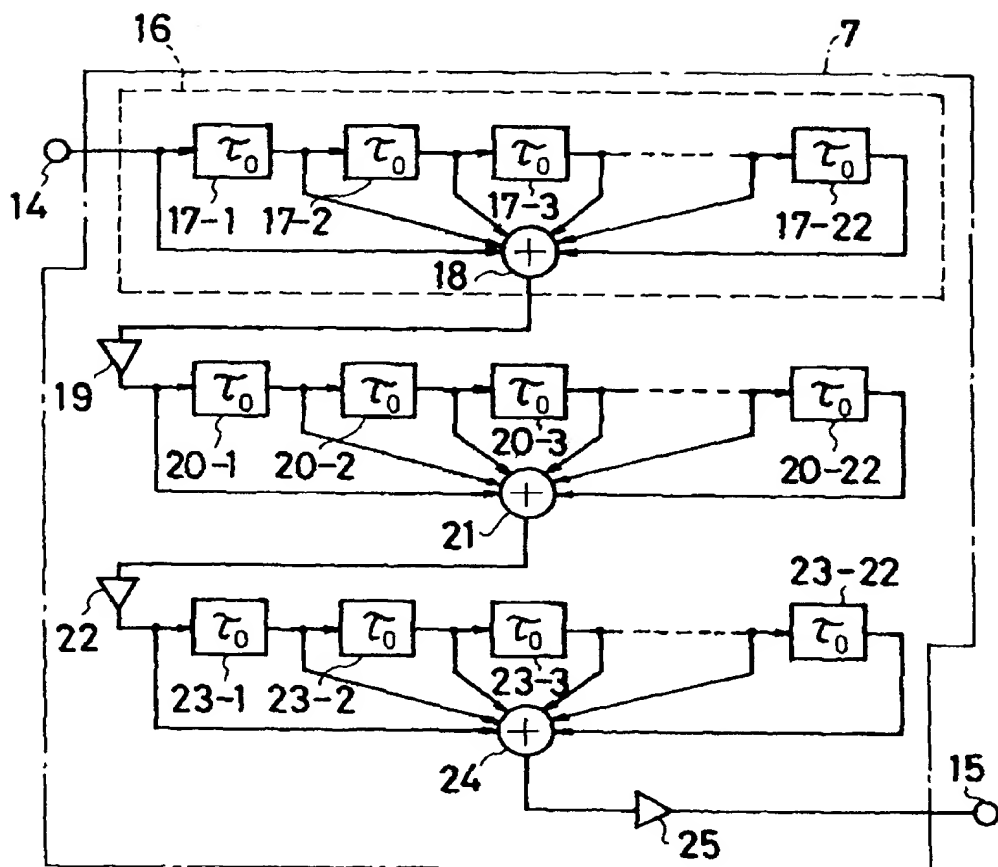
【第9図】



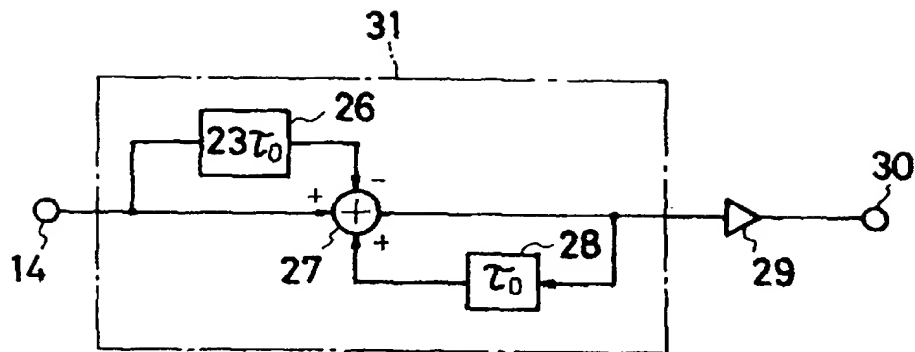
【第3図】



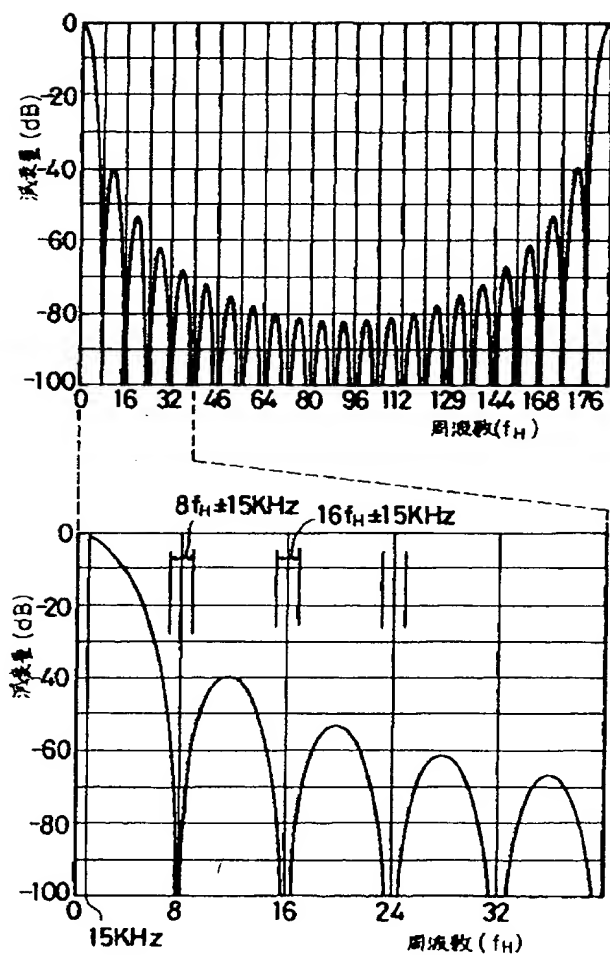
【第4図】



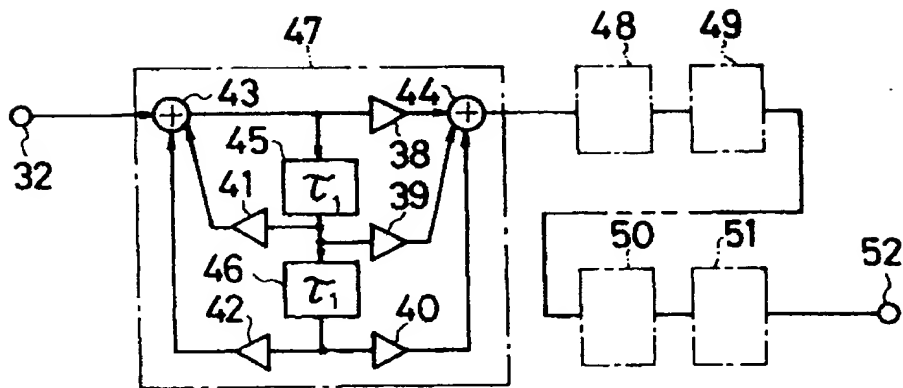
【第5図】



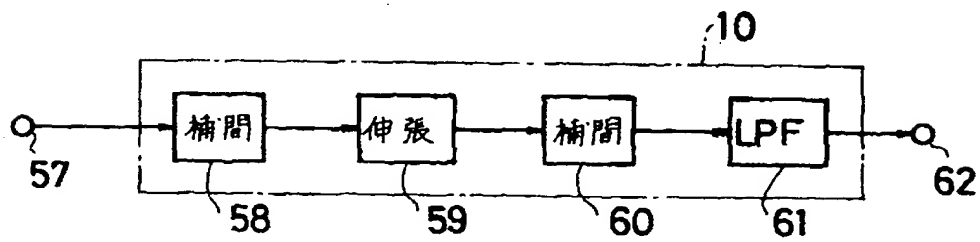
【第6図】



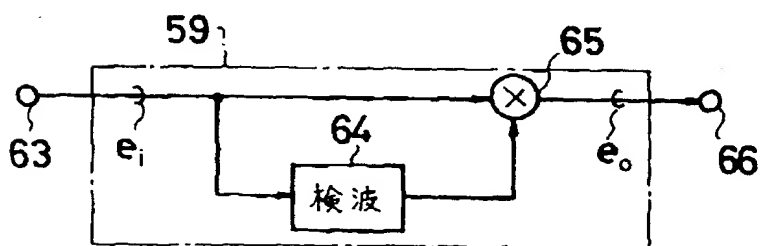
【第8図】



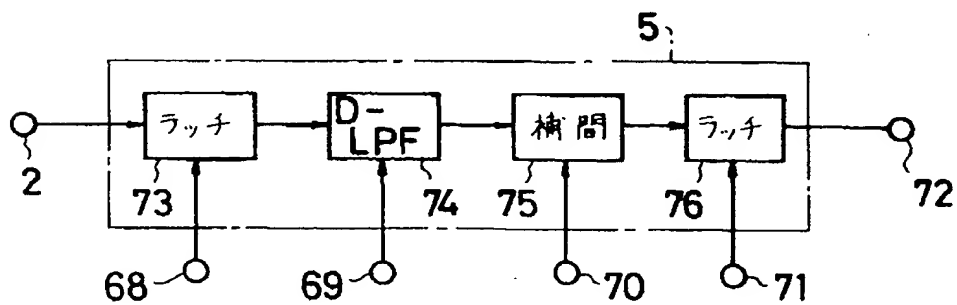
【第10図】



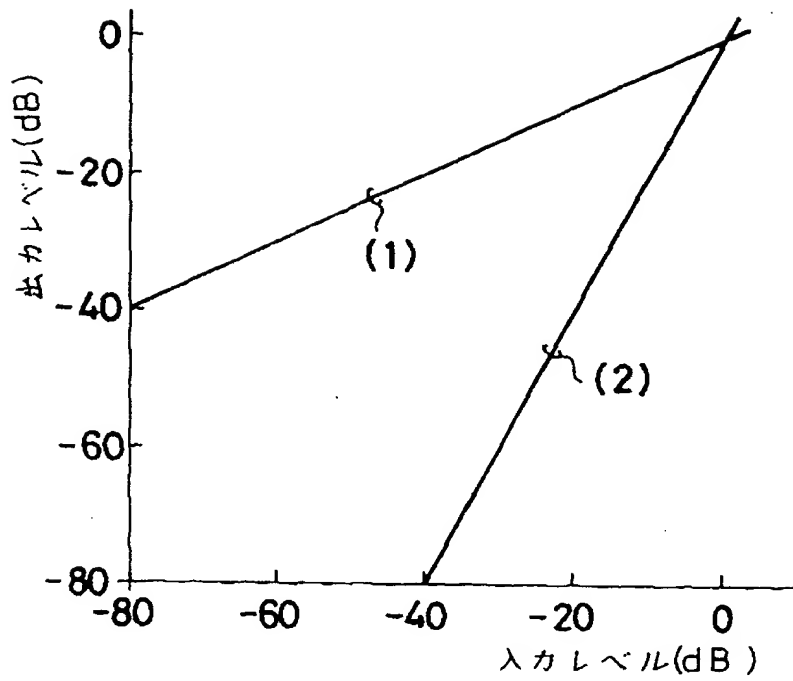
【第11図】



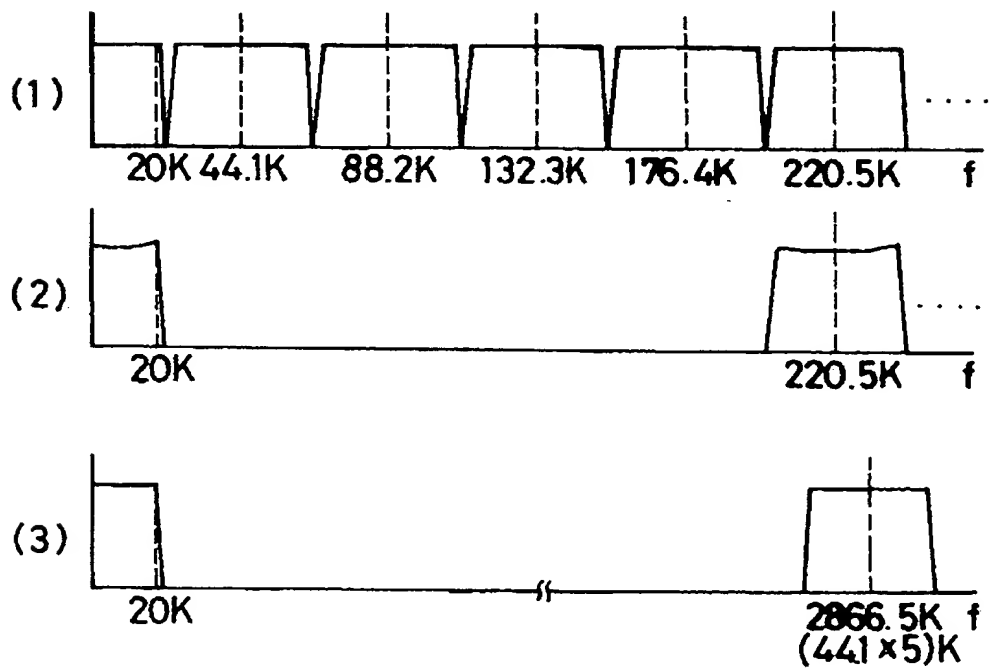
【第13図】



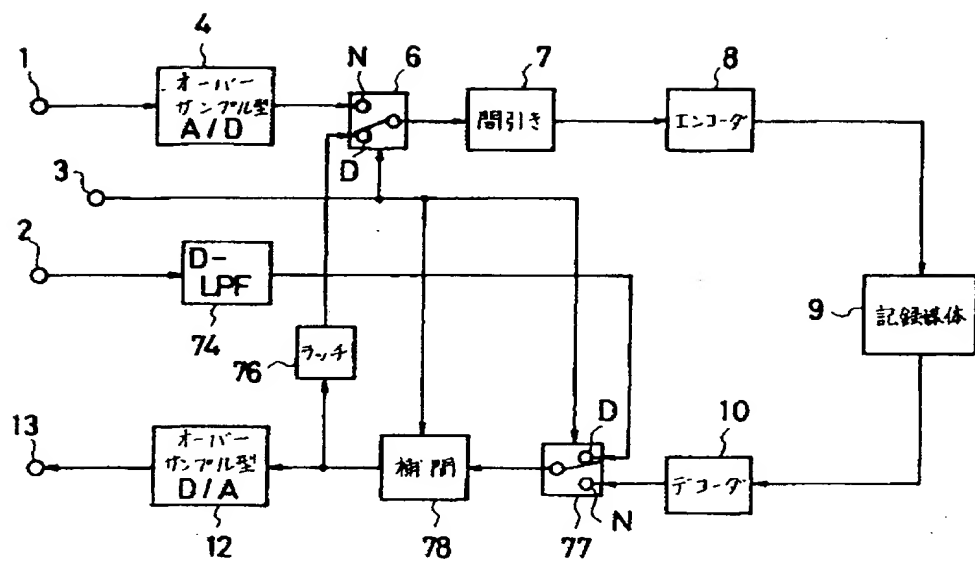
【第12図】



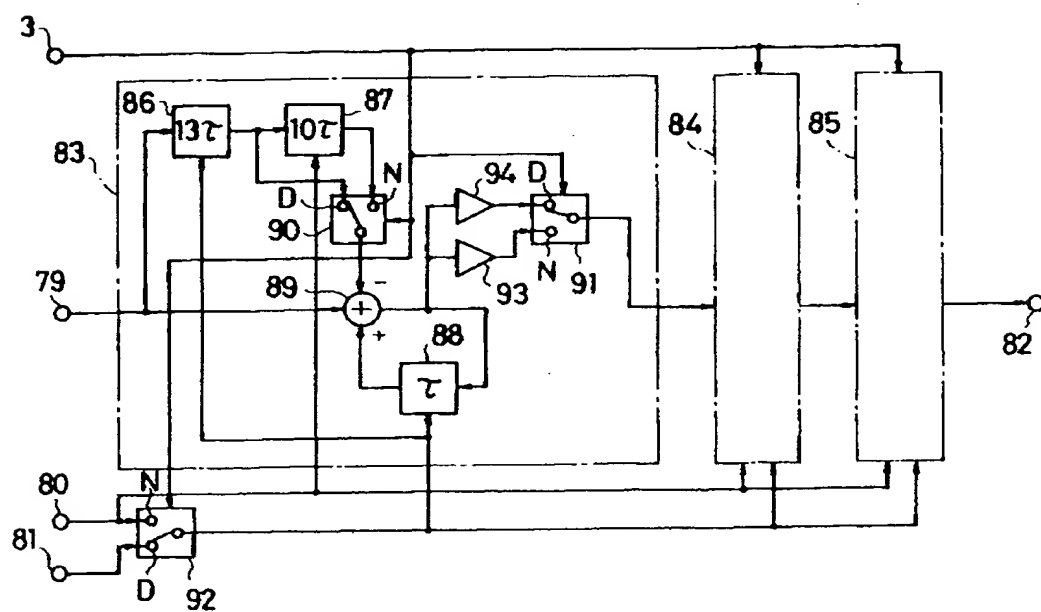
【第14図】



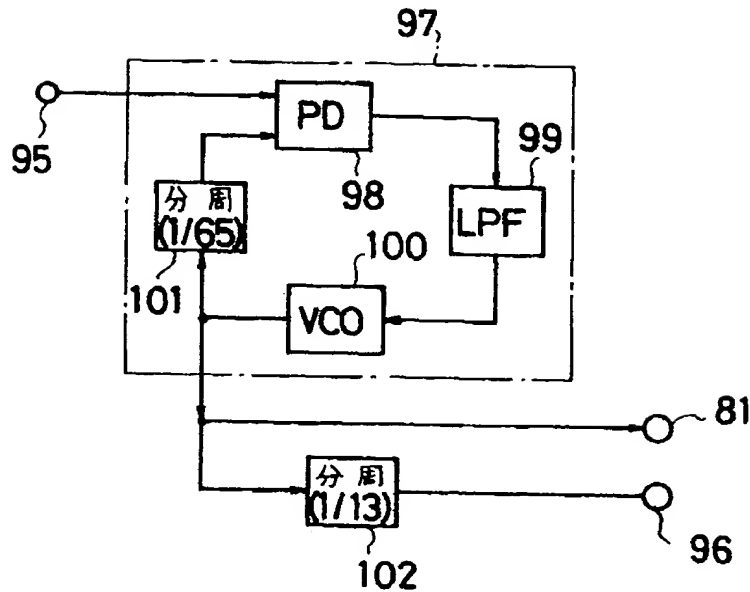
【第15図】



【第16図】



【第17図】



フロントページの続き

(72) 発明者 伊藤 滋行
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所家電研究所内

(72) 発明者 藤田 浩司
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所家電研究所内

(72) 発明者 綿谷 由純
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所家電研究所内

(56) 参考文献 特開 昭60-32167 (J P, A)
特開 昭61-239713 (J P, A)